

EVALUATING METHOD FOR SINGLE EVENT RESISTANCE OF SEMICONDUCTOR ELEMENT

Patent Number: JP2020039
Publication date: 1990-01-23
Inventor(s): KASAMA KUNIHICO
Applicant(s): NEC CORP
Requested Patent: ☐ JP2020039
Application Number: JP19880170310 19880707
Priority Number(s):
IPC Classification: H01L21/66; G01R31/26; H01L27/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To secure a region having weak single event resistance and to calculate the sectional area of a single event phenomenon due to the sum of the areas of the regions by forming the same connecting structure as that of a real element, elongating or contracting a flying stroke by ion energy change, isolating and evaluating charge collecting step.

CONSTITUTION: When energy of alpha-ray is varied and radiated by regulating the vacuum degree of a vacuum chamber in which a ^{241}Am beam source and a sample are secured, for example, to an $\text{N}^{<+>}\text{-P}$ bond formed on a P-type substrate and a charge collecting step is discussed, its incident energy is proportional to the charge collection amount in a region A (less than 1Mev), and a funneling step in the P-well is generated. A diffusing step in the P-well occurs in a region B, ranged at least 3 μm . In a region C, the charge collection amount is reduced by half due to the ion shunt phenomenon of the $\text{N}^{<+>}$ type substrate. Further, one responsive region $\text{P}^{<+>}\text{-N}$ junction is discussed, compared with the magnitude of the charge collection amount, a region in which single event resistance is deteriorated is secured, and the sectional area of the single event phenomenon can be calculated by the sum of the areas of the regions.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-20039

⑤Int. Cl. ⁵	識別記号	庁内整理番号	④公開 平成2年(1990)1月23日
H 01 L 21/66		W 7376-5F	
G 01 R 31/26		H 7807-2G	
H 01 L 27/10	4 9 1	8624-5F	
// H 01 L 27/04		T 7514-5F	

審査請求 未請求 請求項の数 2 (全5頁)

⑤発明の名称 半導体素子におけるシングルイベント耐性の評価方法

②特 願 昭63-170310

②出 願 昭63(1988)7月7日

⑦発 明 者 笠 間 邦 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑧出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑨代 理 人 弁理士 内 原 晋

明 細 書

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体素子におけるシングルイベント耐性の評価方法に関し、特にシリコン半導体素子のソフトエラー、ラッチアップ耐性評価に関する。

〔従来の技術〕

人工衛星に搭載される半導体集積回路は、衛星の高機能化、高性能化に伴い、より大容量、高集積となり、従ってより高密度微細化の傾向にある。ところが半導体素子の微細化はビット当り情報電荷量を減少させるため荷電重粒子入射に起因するソフトエラー、およびラッチアップ等のシングルイベントによる損傷を受けやすい。そのため上記シングルイベント現象が宇宙用電子機器における重大な問題として認識される様になっている。

次にシングルイベント現象のメカニズムについて、N⁺-P接合に荷電粒子が入射したときを例にとって述べる。第6図に電荷収集過程の時間推移を示す。第6図(a)に示す荷電粒子入射により空乏層の電界が歪み空乏層が実質的に伸びる(第

1. 発明の名称

半導体素子におけるシングルイベント耐性の評価方法

2. 特許請求の範囲

- (1) 半導体素子のシングルイベント耐性評価において、半導体素子を模擬した接合構造に、荷電粒子を該荷電粒子のエネルギーと半導体内での飛程を変化させて照射し収集される電荷量を計測することを特徴とする半導体素子におけるシングルイベント耐性の評価方法。
- (2) 請求項1の電荷量計測により電荷収集過程の機構を分離評価し、半導体素子のシングルイベント耐性とシングルイベント発生断面積を導出することを特徴とする半導体素子におけるシングルイベント耐性の評価方法。

6図(b))。すると伸長した電界中の電荷は電界によって収集され(ファネリング過程)、空乏層の歪は解消される。この過程は数100ピコ秒以内で起こる高速現象であることが知られている。次に第6図(c)に示す様にシリコン基板中に残存する電荷(電子および正孔)が拡散して空乏層領域に到達することにより電荷収集が起こる。この過程は拡散過程と呼ばれ荷電粒子の飛程等に依存し、数ナノ〜数十ナノ秒続く。以上述べた2つの過程、すなわちファネリング過程と拡散過程により接合構造に電荷が収集される。この収集された電荷量がメモリの反転あるいはラッチアップを生じるに十分な量あればシングルイベント現象が起こることになる。

実際の半導体素子では接合の面積は小さく、拡散過程による収集量は小さい。したがって実質的な電荷収集は主にファネリング過程で生じる。

本発明で述べる様な半導体素子のシングルイベント耐性の評価法の確立は実際に衛星搭載の可否を決定するためにも、また耐性強化法の検討の上

の寄与がある。

この2つの過程の分離のため電荷収集量の時間変化を調べ、速い成分をファネリング過程、遅い成分を拡散過程と分離することが試みられている。しかしながらファネリング現象は高速(数100ピコ秒程度)現象であり、その時間および電荷量の測定値の信頼性は低い。また測定装置も高速現象を追跡するため高価なものになる。

〔課題を解決するための手段〕

本発明のシングルイベント耐性の評価法は入射粒子のエネルギーと飛程を変化させつつ、接合に収集される総電荷量を精度の優れた波高分析測定系により評価することにより、電荷収集過程を分離するものである。

すなわち荷電粒子のエネルギーが小さく、その飛程がファネリング長より短い領域では、電荷収集はファネリング過程のみによって生じ、入射エネルギーと電荷収集量は比例する。さらにエネルギーが増大し、ファネリング長より飛程が長くなると、電荷収集の一部は拡散によって起こる。但

からも重要である。

従来、シングルイベント耐性評価は実際の半導体素子に加速器等により放出される荷電粒子を照射し、反転したメモリー数を観測することにより行なわれていた。この方法は個々の衛星搭載用素子の最終評価に必須の手続きであるが反面、素子内部で生じる機構、すなわちファネリングや拡散による電荷収集過程に関する情報は得られない。

そのため素子内部の電荷収集過程を検討するため実際の素子を模擬した接合構造を形成し、収集電荷量を観測することにより、シングルイベント現象機構の検討が行なわれている。

〔発明が解決しようとする課題〕

上述した従来の接合構造を用いた評価方法は、拡散過程による電荷収集過程を減少させるために接合面積を小さくすると接合に入射する荷電粒子が大幅に減少するため観測に多大の時間を要するという欠点がある。そのため100 μ m \times 100 μ m以上の比較的広い面積の接合が用いられるが、この場合はファネリング過程と拡散過程の2成分

し拡散過程による収集はファネリング過程に比較し、その効率は低い。したがって入射エネルギーに対し電荷収集量は比例せずしだいに傾きは減少する。さらにエネルギーを増大させて、電荷収集の生じない深さまで粒子が達するとイオンエネルギーを増加させてもほとんど収集電荷量は増大しない。

以上の様にイオンエネルギー変化によって飛程を伸縮させることにより、3つの領域、すなわちファネリング過程の生じる領域、拡散過程の生じる領域、電荷収集の起こらない領域を分離することができる。

さらに実素子の接合構造と同じ接合構造を形成して、上記方法で電荷収集過程を分離評価すればシングルイベント耐性の弱い領域の固定、およびその領域の面積和よりシングルイベント現象の断面積を導出することが可能となる。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の結果を示したもの

である。P型基板（不純物濃度 $5 \times 10^{14} \text{ cm}^{-3}$ ）に作製したN⁺-P接合（面積 $500 \mu\text{m} \times 500 \mu\text{m}$ ）に α 線に照射して収集された電荷量を観測したものである。ここで用いた α 線はアメリカム241（241Am）より放出された荷電粒子で初期エネルギーは約5.5 MeV、飛程はおよそ33 μm である。 α 線のイオンエネルギーは例えば241Am線源と試料を固定する真空室の真空度を調節することにより任意に変えることができる。

第2図に入射した α 線（エネルギー5.5 MeV）がエネルギーを失う様子とストッピングパワー値（単位長さ当り失うエネルギー値）を示した。さらにエネルギーの小さい α 線の飛程は横軸の原点を所定の α 線のエネルギー値まで異動することによって、求めることができる。 α 線のエネルギーが減少するにつれてストッピングパワー値が増加するのがわかる。

第1図に示すように電荷収集は3つの領域Ⅰ、Ⅱ、Ⅲに分割できる。領域Ⅰはファネリング過程

ドレイン部）に入射した α 線による電荷収集過程を検討した結果を第5図に示す。

領域は3つの部分に分割される。すなわち領域A（ $\sim 1 \text{ MeV}$ ）では入射エネルギーと電荷収集量が比例する。したがってPウェル部でのファネリング過程が生じていることがわかる（ファネリング長 $\sim 3 \mu\text{m}$ ）。領域BはPウェル中での拡散過程の起こる領域と考えられ、その範囲は3 \sim 5 μm と考えられる。領域Cでは電荷収集量が急激に減少し、電荷収集量が半減する。これはN⁺基板とのイオンシャント現象（軌跡に沿って生じた電子-正孔対を2つのN⁺領域が分割する現象）が生じているためである。

以上の様に α 線のエネルギーを変化させて電荷収集量を観測することによって電荷収集機構を分割することができる。

さらにもう一方の感応領域P⁺-N接合（P⁺/Nウェル/Nエピ/N⁺基板構造）を検討することにより電荷収集量の大小を比較し、シングルイベント耐性の劣る領域を固定することができる。

のみが生じている領域で入射エネルギーと電荷収集量が比例し、その傾きは0.9である。したがってファネリング長に生じた電子-正孔対のほとんどが接合電極に収集されている。この領域の最大入射エネルギー値1.8 \sim 2.0 MeVよりファネリング長は7.0 \sim 8.0 μm 程度と求められる。領域Ⅱはファネリング過程と拡散過程がともに生じている領域で入射エネルギー値 \sim 3.75 MeVより拡散成分の生じる領域が \sim 17 μm 程度まで伸びていると考えられる。さらに領域Ⅲは電荷収集過程にほとんど影響を与えない領域で17 \sim 33 μm の飛程に相当する。

以上の様に本方法を用いることによりN⁺-P接合による電荷収集機構を容易に分離することが可能となる。

次に本発明の評価法をCMOS SRAMを模擬した構造に適用してみる。第3図にCMOS SRAMのセル部と感応領域の位置、第4図にCMOSトランジスタの断面構造の一例を示す。第4図に示す位置（Nチャネルトランジスタの

また、その領域の面積和によりシングルイベント現象の断面積を導出できる。

また上記各実施例いずれも α 線を入射したものであるが、他の荷電粒子を用いても同様の手法を実施できる。その際イオンエネルギーの変化は反応室の真空度、他ガスの導入、金属薄膜によるシャット等で行うことができる。

〔発明の効果〕

以上、説明したように本発明は荷電粒子のイオンエネルギーを変動させてイオンの飛程を伸縮し、実素子を模擬した接合構造による電荷収集を観測することにより、電荷収集機構を分離して評価できるという効果がある。

その結果シングルイベントに弱い領域を固定することが可能となり、さらにその面積の和を求めることにより断面積を予測することが可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例の結果による α 線入射エネルギーと電荷収集量との関係を示すグラフ

である。

領域Ⅰ……ファネリング過程の生じる領域、領域Ⅱ……拡散過程の生じる領域、領域Ⅲ……電荷収集量の少ない領域。

第2図は α 線のイオンエネルギーの減衰とストッピングパワーの変化を示すグラフである。

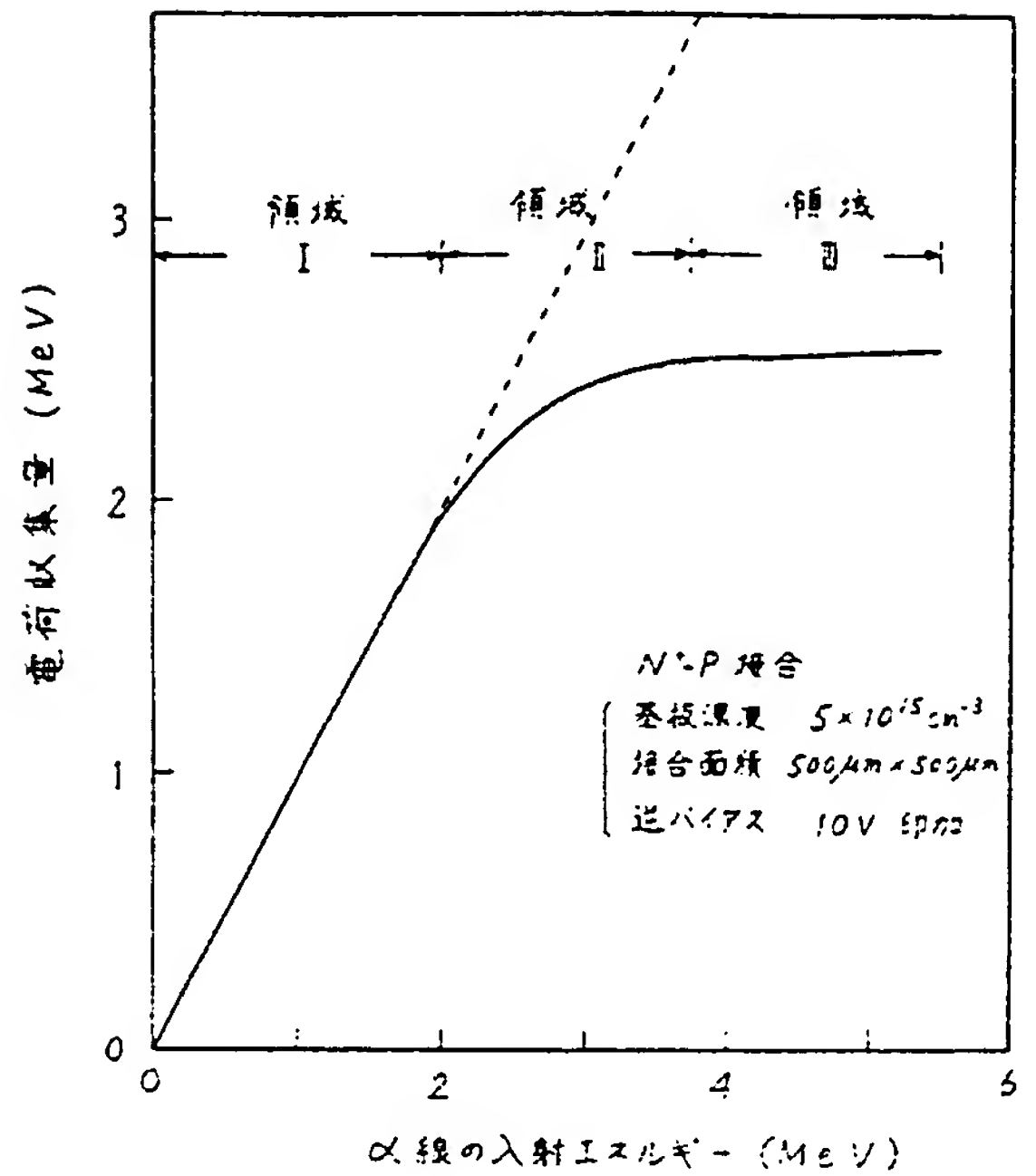
第3図はCMOS SRAMの等価回路図、第4図はCMOSトランジスタへの荷電粒子入射を模式的に示した図である。

第5図はCMOSトランジスタ構造を模擬した接合構造へ α 線が入射した際の入射エネルギーと電荷収集量の関係を示したグラフである。

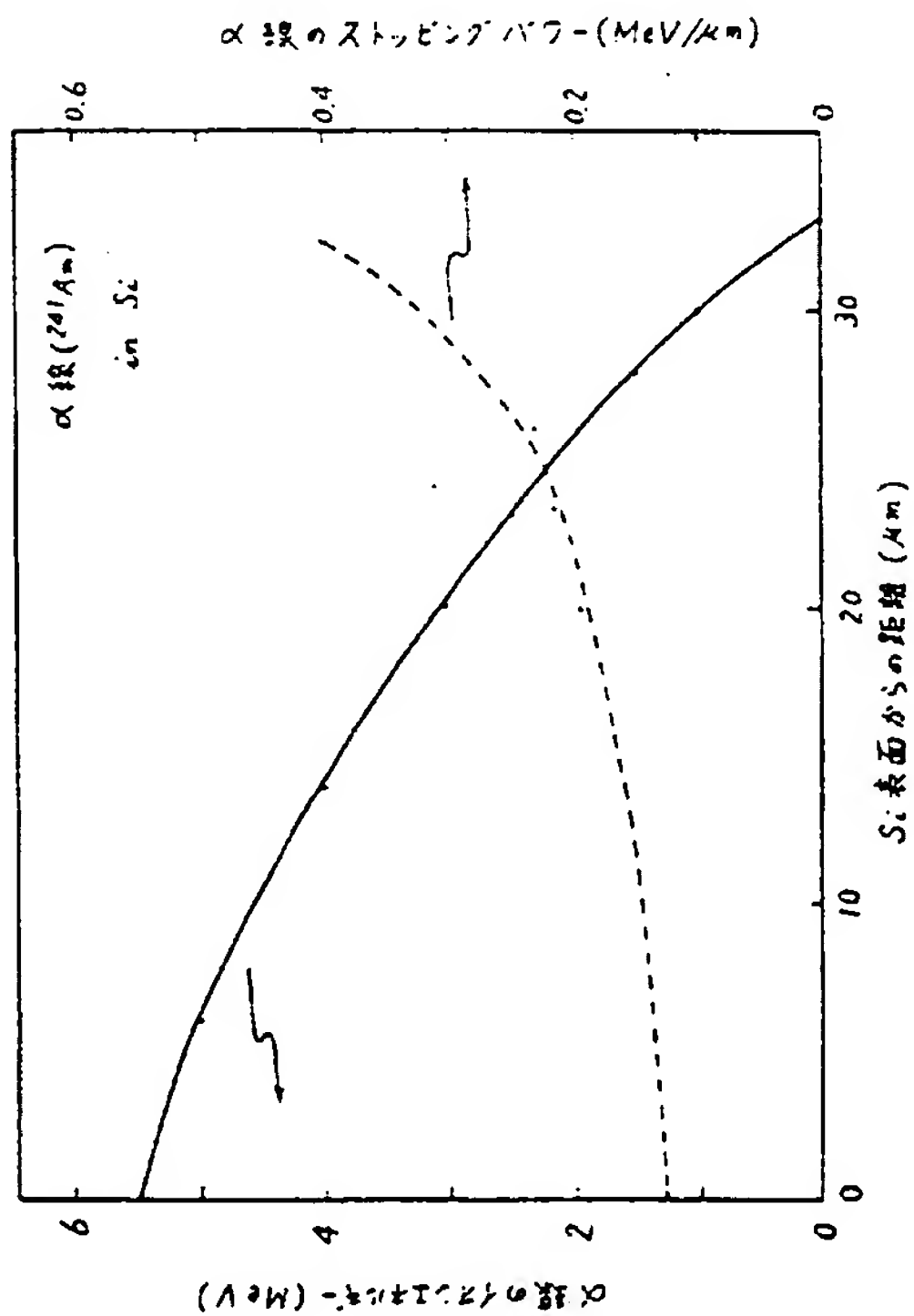
領域A……Pウェル領域のファネリング過程の生じる領域、領域B……Pウェル領域での拡散過程の生じる領域、領域C……基板 N^+ 領域とのイオンシャント（電子-正孔対の分割）現象の生じる領域。

第6図(a)～(c)は荷電粒子入射による電荷収集過程を示す模式図である。

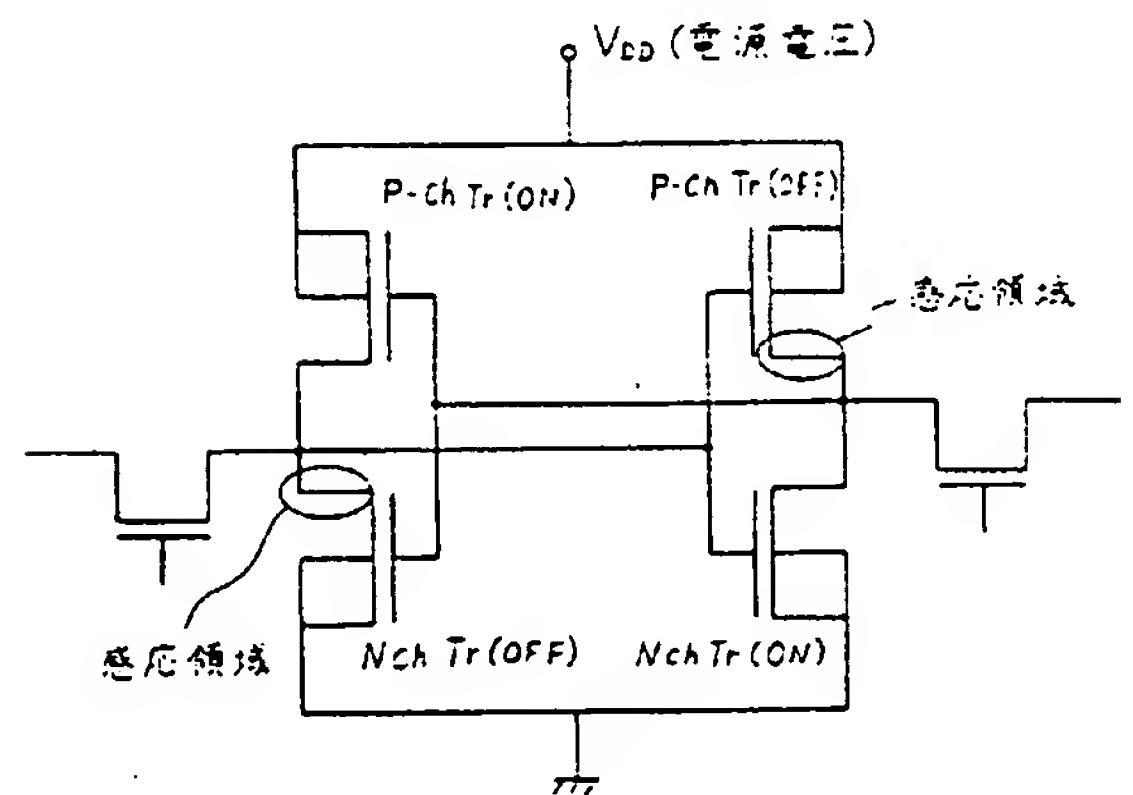
代理人 弁理士 内 原 晋



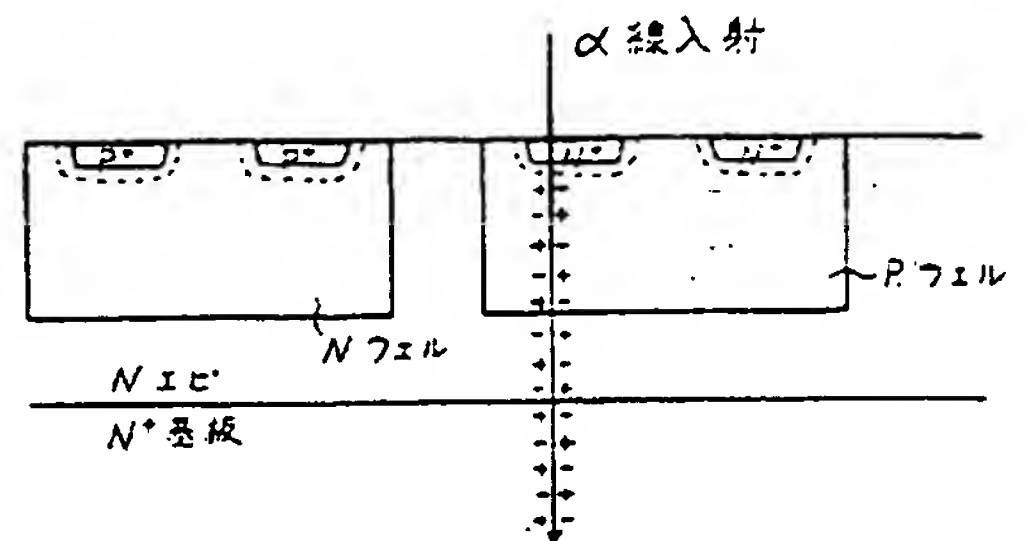
第1図



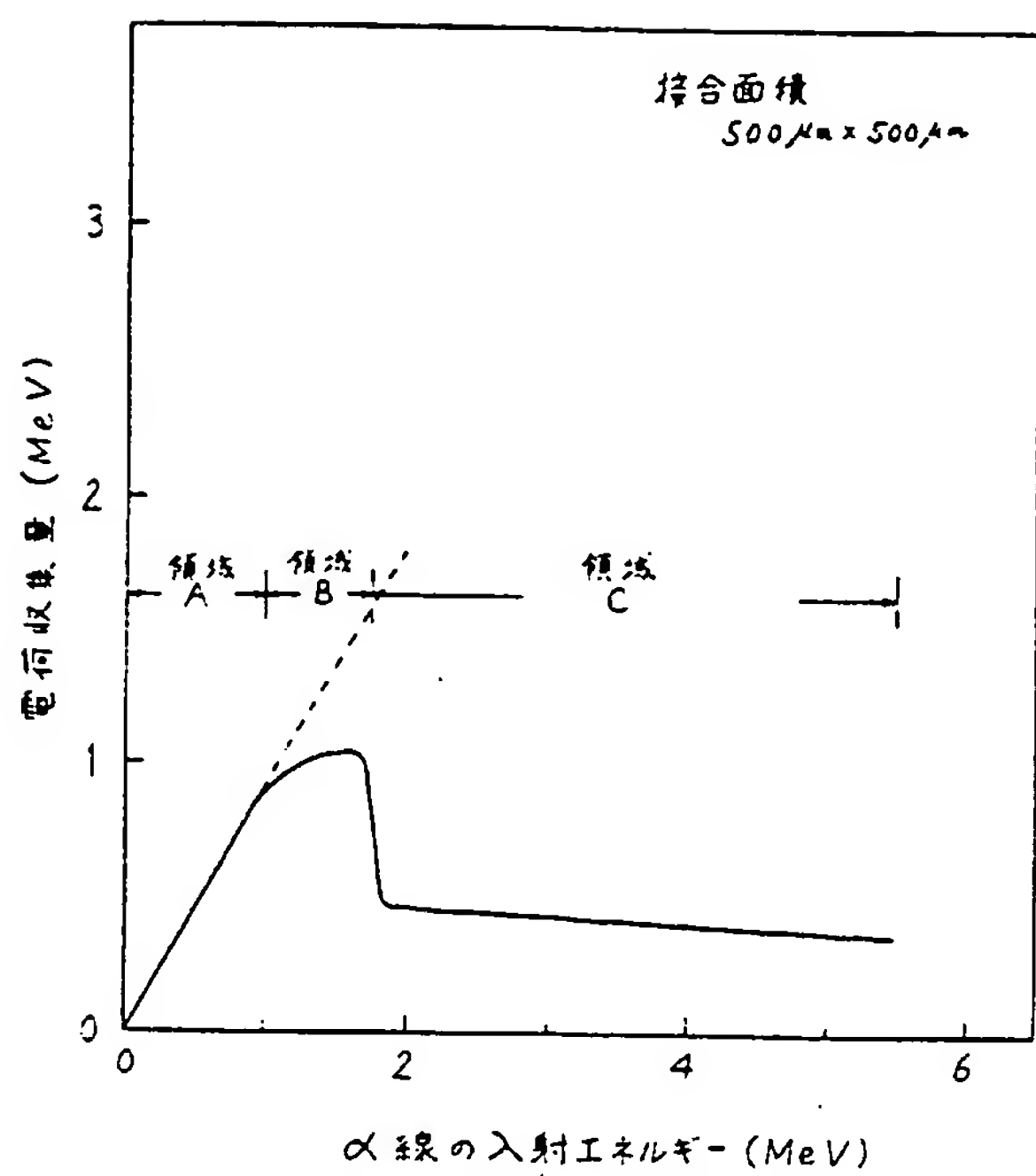
第2図



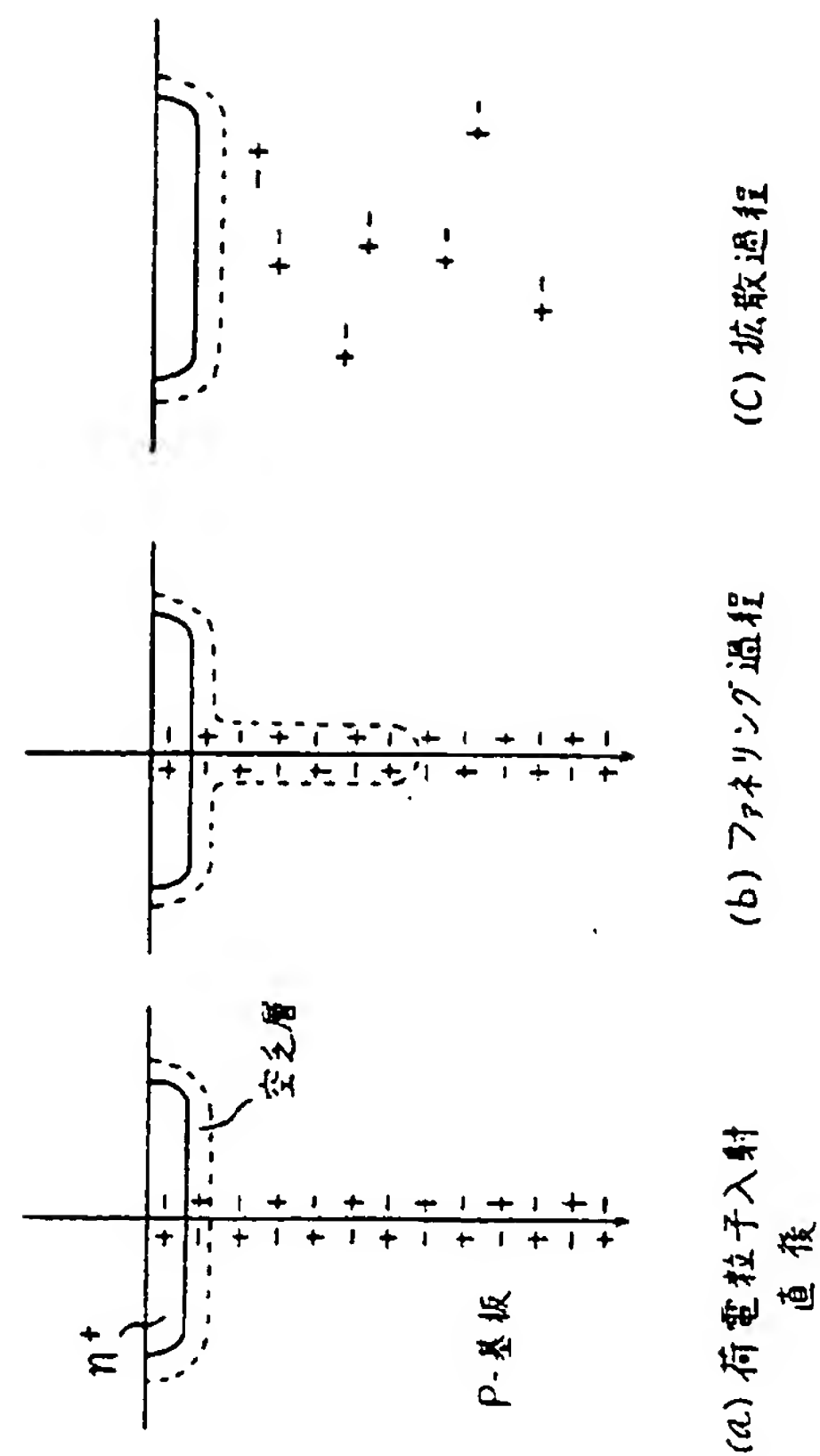
第3図



第4図



第5図



第6図